



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 15 日

Application Date

申請案號：092108633

Application No.

申請人：南亞科技股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日

Issue Date

發文字號：09220532060

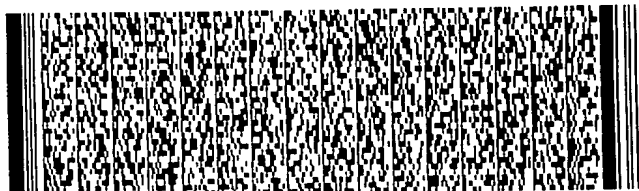
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成位元線接觸窗之方法
	英文	METHOD OF FORMING BIT LINE CONTACT VIA
二、 發明人 (共2人)	姓名 (中文)	1. 林智清 2. 陳逸男
	姓名 (英文)	1. Chih-Ching Lin 2. Yi-Nan Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣桃園市同安街338巷11弄4號 2. 台北市北投區義理街63巷2弄22號1樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-0210tw(only) : 01178 : phoetip.prd

四、中文發明摘要 (發明名稱：形成位元線接觸窗之方法)

本發明揭示一種形成位元線接觸窗的方法，至少包括下列步驟：提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；形成一對阻障間隙壁於兩相鄰閘極之相對側壁上；形成一介電層於該閘極、阻障間隙壁及摻雜區表面；蝕刻部份該介電層以形成一位元線接觸窗；以及填滿一導電層於位元線接觸窗內作為一位元線接觸插塞。

伍、(一)、本案代表圖為：第2H圖。

(二)、本案代表圖之元件代表符號簡單說明：

100~ 基底；

110~ 摻雜區；

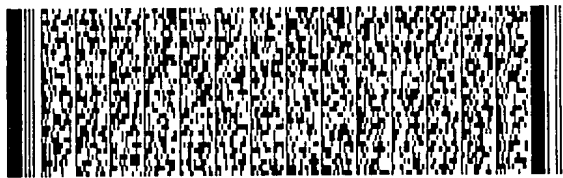
120a、120b、120c、120d~ 閘極；

121~ 閘極介電層；

122~ 複晶矽層；

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINE CONTACT VIA)

A method of forming bit line contact via. The method includes providing a substrate having a device area and periphery contact area, the device area having transistors on the substrate, having a gate electrode and a doped region, forming a pair of barrier spacers on opposing sidewalls of two adjacent gate electrodes, blanketly forming a dielectric layer overlying the substrate, forming a



四、中文發明摘要 (發明名稱：形成位元線接觸窗之方法)

123~金屬矽化物層；

124~硬罩幕層；

125~氮化矽間隙壁；

132~多晶矽間隙壁；

150~襯層；

160~介電層；

180~位元線接觸窗。

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINE CONTACT VIA)

via through the dielectric layer and exposing the doped region, and forming a barrier layer used as a bit line contact plug filling the bit line contact via.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

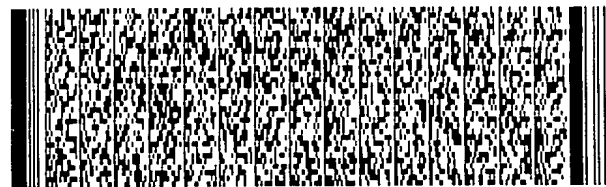
本發明係有關於一種位元線接觸窗的方法，特別係有關一種具有自行對準(SAC)位元線接觸窗的製作方法。

【先前技術】

近年來，隨著積體電路集積度的增加，半導體製程設計亦朝向縮小半導體元件尺寸以提高密度之方向發展，以目前廣泛使用之動態隨機存取記憶體為例，64M DRAM製程已從 $0.35\ \mu\text{m}$ 轉換至 $0.3\ \mu\text{m}$ 以下，而128M DRAM或256M DRAM則更朝向 $0.2\ \mu\text{m}$ 以下發展。

在製造動態隨機存取記憶體(DRAM)等高密度積體電路元件時，常使用所謂的自行對準接觸窗(SAC)製程來提昇導線的精密度。然而，隨著線寬不斷地縮減，製程困難度也不斷地提高。以位元線接觸窗的填充製程為例，當線寬縮減至約 $0.11\ \mu\text{m}$ 時，上述位元線接觸窗所暴露的汲極區的寬度就只有 $0.038\ \mu\text{m}$ 以下。因此，在上述位元線接觸窗中形成一導電層時作為位元線接觸(bit line contact; CB)時就容易發生位元線接觸開路(CB open)或是字元線-位元線短路(word line-bit line short)的缺陷發生。只要上述位元線接觸開路或是字元線-位元線短路的缺陷一發生，即會導致所製造的半導體元件失效，對半導體製程的良率、成本等有不良影響。

為了進一步探究問題所在，以下說明習知技術之製造流程。請參考第1A~1F圖，為一系列之剖面圖，係顯示一



五、發明說明 (2)

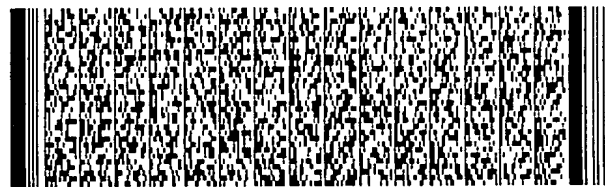
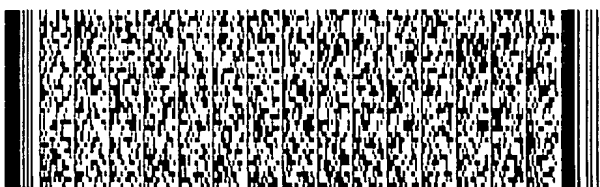
習知自行對準位元線接觸窗的製造方法係如何導致上述的位元線接觸開路或是字元線-位元線短路的缺陷。

首先，提供一基底10，請參考第1A圖，其中基底10具有電晶體之結構，在基底10的主動面上具有以一間隔交錯排列的汲極區12與源極區14；在汲極區12與源極區14之間具有一凸出基底10表面的閘極20，閘極20依據種種需求而通常具有多層結構，例如在第1A圖的閘極20中，由基底10的表面向上依序為一閘極介電層21、一導電層22、一金屬矽化物層23與一硬罩幕層24；而在閘極20之側壁有一為氮化矽間隙壁25。由於有間隙壁25存在於閘極20之側壁上，因此當半導體元件的設計準則(design rule)如上所述將線寬縮減至約 $0.11\ \mu\text{m}$ 時，相鄰的閘極20的間隙壁25之間所曝露的汲極區12的寬度就只有 $0.038\ \mu\text{m}$ 以下。

依序於基底10上形成一介電層30及一圖案化阻劑層60，請參考第1B圖，圖案化阻劑層60具有一開口60a，開口60a係露出之部分即為後續形成位元線接觸窗之位置。

接下來的步驟係去除開口60a所暴露的介電層30以形成一作為位元線接觸窗的介層窗並暴露出汲極區12，以及在上述介層窗內填入一導電層，以作為位元線接觸插塞。第1C~1D圖的步驟係顯示在上述的步驟中如何造成上述的位元線接觸開路的缺陷，而第1E~1F圖的步驟係顯示在上述的步驟中如何造成上述的字元線-位元線短路的缺陷。

請參考第1C圖，以圖案化阻劑層60為蝕刻罩幕對介電層30進行非等向性蝕刻，以形成介層窗31，暴露汲極區12

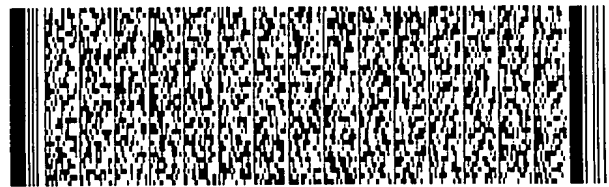
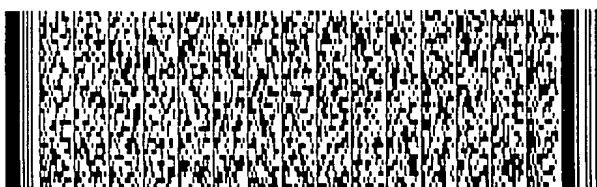


五、發明說明 (3)

，即為位元線接觸窗。然而如上所述，線寬為約 $0.11\ \mu\text{m}$ 時，介層窗31所暴露的汲極區12的寬度就只有 $0.038\ \mu\text{m}$ 以下，且介層窗31係具有相當大的深度，因此在介層窗31底部的介電層30中，愈接近汲極區12的介電層30就愈難被蝕刻，當上述的非等向性蝕刻反應終止時，在介層窗31的底部就往往會留下一些未受到蝕刻或未完全蝕刻的介電層30，而未暴露出汲極區12。

因為在介層窗31底部上殘留有部份的介電層30而使汲極區12無法暴露出來，請參考第1D圖，即使在介層窗31內形成一阻障層40後，並填入一作為位元線接觸的導電層50，在介電層30並非導體的情況下，無法使導電層50與汲極區12無法產生電性連結，就造成了上述的位元線接觸開路的缺陷。

為了避免造成位元線接觸開路的缺陷，一習知之作法係利用具較低選擇比之自行對準接觸窗蝕刻製程參數來進行接觸窗的蝕刻。然而在形成位元線接觸窗的製程設計上，為了避免作為位元線的閘極20與後續所形成的位元線或位元線接觸之間發生短路，閘極20中的導電層之複晶矽層22與金屬矽化物層23係以硬罩幕層24與間隙壁25所保護，並以具有高蝕刻選擇比的方式進行蝕刻，避免閘極20中的導電層之複晶矽層22與金屬矽化物層23暴露出來而與後續所形成的位元現貨位元線接觸之間發生短路。但是，一旦將蝕刻選擇比調降來將介層窗31a底部的介電層30蝕除，除了介層窗31a的寬度會擴大外，部份的硬罩幕層24與間



五、發明說明 (4)

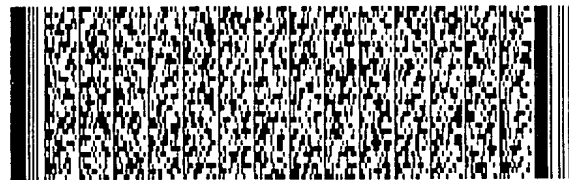
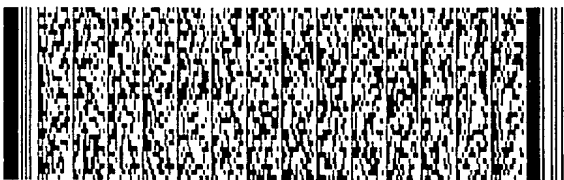
隙壁25也會遭到蝕除形成間隙壁25a，而使金屬矽化物層23暴露出來，甚至複晶矽層22亦有可能也曝露出來。

請參考第1F圖，在閘極20的導電層之金屬矽化物層23暴露出來的情況下，經由在介層窗31'內形成一阻障層40後，並填入一作為位元線接觸的導電層50的步驟之後，作為位元線接觸的導電層50便與閘極20的導電層之金屬矽化物層23發生電性連結，即造成上述的字元線-位元線短路的缺陷。

在習知之作法上，亦會利用一過蝕刻(over etching)的方式來避免造成位元線接觸開路缺陷，但由於在形成位元線接觸窗製程上，一般係以氮化矽作為硬罩幕層24與間隙壁25及以氧化矽作為介電質層30，如此介電層30對硬罩幕層24與間隙壁25的之蝕刻選擇比約為10左右。然而，如此低的蝕刻選擇比在過蝕刻(over etching)時，亦會使得硬罩幕層24與間隙壁25遭到蝕除而使金屬矽化物層23與複晶矽層22暴露出來，造成上述的字元線-位元線短路的缺陷。

【發明內容】

有鑑於此，本發明的主要目的係提供一種形成位元線接觸窗的方法，利用對介電層具高蝕刻選擇比的阻障材質作為間隙壁，例如複晶矽間隙壁，以進行自行對準(SAC)位元線接觸窗蝕刻，如此一來，可避免後續作為位元線之導電層填入位元線接觸窗時，習知SAC製程所造成之位元



五、發明說明 (5)

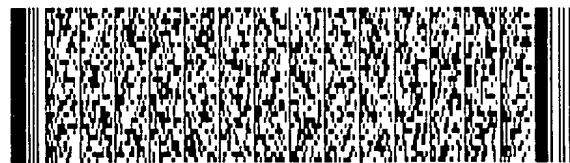
線接觸開路或是字元線-位元線短路的缺陷之發生。

為達成本發明之上述目的，本發明係提供一種形成位元線接觸窗的方法，其至少包括下列步驟：提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；形成一對阻障間隙壁於兩相鄰閘極之相對側壁上；形成一介電層於該閘極、阻障層間隙壁及摻雜區表面；以及以該阻障層間隙壁及該摻雜區做為蝕刻終止層，蝕刻部份該介電層以形成一位元線接觸窗。

根據本發明上述之形成位元線接觸窗的方法，其中形成一阻障間隙壁之方法係包括：形成一順應性阻障層於該閘極及摻雜區表面；蝕刻該阻障層，俾使該阻障層於該閘極側壁形成一阻障間隙壁；以及用一單幕層覆蓋欲保留之阻障間隙壁，並去除未被單幕層覆蓋之阻障間隙壁。

根據本發明上述之成位元線接觸窗的方法，其中在形成該介電層之前，更包括於該閘極、阻障間隙壁及摻雜區表面形成一襯層。

本發明所述之形成位元線接觸窗的方法，亦可以另一方式表現，其至少包括下列步驟：提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；形成一複晶矽間隙壁於閘極之側壁上；以一單幕層覆蓋欲保留之複晶矽間隙壁，並去除未被單幕層覆蓋之複晶矽間隙壁；去除該單幕層，形成一介電層於該閘極、複晶矽間隙壁及摻雜區表面；以及以該複晶矽間隙壁及該基板做為蝕刻終止層，蝕刻部份該介電層以形成一位



五、發明說明 (6)

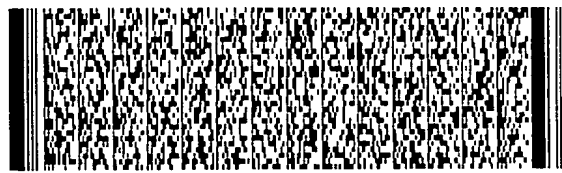
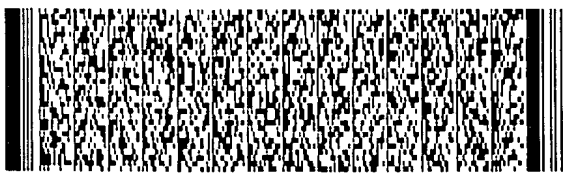
元線接觸窗。

根據本發明上述之形成位元線接觸窗的方法，其中形成一複晶矽間隙壁於閘極之側壁上之方法係包括：形成一順應性複晶矽層於該閘極及摻雜區表面；以及蝕刻該複晶矽層，俾使該複晶矽層於該閘極側壁形成一複晶矽間隙壁。

根據本發明上述之成位元線接觸窗的方法，其中在形成該介電層之前，更包括於該閘極、複晶矽間隙壁及摻雜區表面形成一襯層。

為達成本發明之上述目的，本發明亦提供一種形成位元線接觸窗的方法，其至少包括下列步驟：提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；形成一順應性複晶矽層於該閘極及摻雜區表面；蝕刻該複晶矽層，俾使該複晶矽層於該閘極側壁形成一複晶矽間隙壁；形成一罩幕層於閘極間欲形成位元線接觸窗之摻雜區及該摻雜區相鄰之閘極部分表面上，以蝕刻方式去除未被該罩幕層包覆之複晶矽間隙壁；去除該罩幕層，並形成一襯層於該閘極、複晶矽間隙壁及摻雜區表面；形成一介電層於該襯層之上；以該複晶矽間隙壁及該摻雜區做為蝕刻終止層，蝕刻部份該介電層及該襯層以形成一位元線接觸窗；以及於該位元線接觸窗內填滿一導電層，以用作為一位元線接觸插塞。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作



五、發明說明 (7)

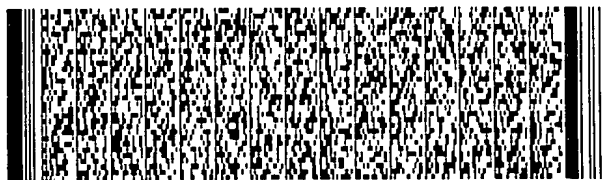
詳細說明如下：

【實施方式】

請參考第2A~2I圖，為一系列之剖面圖，係顯示本發明較佳實施例中形成位元線接觸窗之方法。

請參考第2A圖，首先，提供一基底100，例如為單晶矽之基底；其中基底100具有電晶體之結構，在基底100的主動面上具有構成汲極與源極之摻雜區110；在摻雜區110之間具有凸出基底100表面的閘極120a~120d，閘極係為一位元線，依據種種需求而通常具有多層結構，例如在第2A圖的閘極120a~120d中，由基底100的表面向上依序為一閘極介電層121例如為氧化層、一作為導電層的複晶矽層122、一作為導電層的金屬矽化物層123例如為矽化鎢層、與一硬罩幕層124例如為氮化矽層，而在閘極120a~120d之側壁有一例如為氮化矽所形成的閘極間隙壁125。其中上述閘極之結構僅是習知之閘極結構中之一例，非關本發明之特徵，非為限制本發明範圍之依據。

請參考第2B圖，在基底100上特別係間隙壁125、摻雜區110表面與閘極120a~120d的表面形成一阻障層，且完全覆蓋上述閘極，適用作為阻障層之材質可擇自由具有阻障性質之材質、導電性材質、半導體材質及其組成所構成之族群中，例如可為一複晶矽層130。複晶矽層130的形成方法例如為利用同步攪雜之低壓化學氣相沉積法(LPCVD)形成，其反應氣體是 PH_3 、 SiH_4 與 N_2 或 AsH_3 、 SiH_4 與 N_2 的混合氣



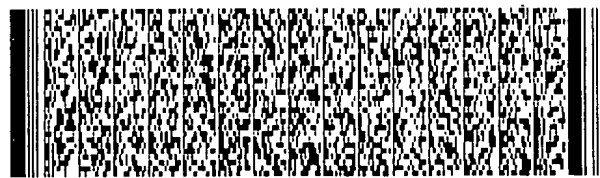
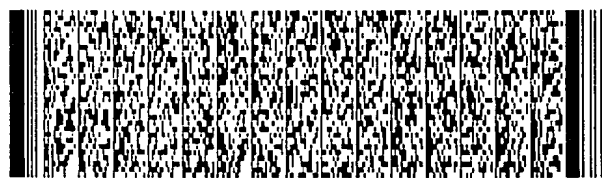
五、發明說明 (8)

體，反應溫度介於500到650℃之間，其雜質離子濃度介於 $1E20$ 到 $1E21$ 原子／立方公分之間。

接著，請參考第2C圖，蝕刻上述之複晶矽層130，俾使該複晶矽層130於該閘極側壁125形成一之複晶矽間隙壁132，該複晶矽間隙壁132係依附該閘極側壁125之外側，高度可與該閘極120a~120d同高。其中上述蝕刻該複晶矽層之方法可例如為磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻法(ECR)或傳統的活性離子式電漿蝕刻法(RIE)，其電漿反應氣體可例如為六氟化硫(SF_6)、氧(O_2)、氯(Cl_2)和溴化氫(HBr)之混合氣體。

接著，形成一圖案化阻劑層140於基底100之欲形成位元線接觸窗部分，來遮蔽欲形成位元線接觸窗部分之兩側閘極上之複晶矽間隙壁，請參考第2D圖，也就是形成一圖案化阻劑層140於閘極120b及120c之間之摻雜區110及閘極120b及120c部分表面上，以遮蔽欲形成位元線接觸窗兩側閘極120b及120c間複晶矽間隙壁132。此步驟之目的在以一阻劑層140遮蔽欲形成位元線接觸窗部分之兩側閘極上之複晶矽間隙壁，保護所遮蔽之複晶矽間隙壁不被接下來之蝕刻複晶矽間隙壁的步骤所除去。

以圖案化阻劑層140作為蝕刻罩覆，以一蝕刻步驟蝕刻未被上述圖案化阻劑層140所覆蓋之複晶矽間隙壁132，請參考第2E圖，也就是以蝕刻去除閘極120a與120d兩側及120b與120c未被阻劑層140覆蓋之複晶矽間隙壁132，再以溶劑或是電漿蝕刻方式去除阻劑層140，以留下閘極120b

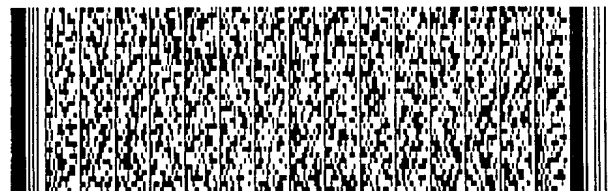


五、發明說明 (9)

及120c之欲形成位元線接觸窗側之複晶矽間隙壁132。至此，完成了對一般用作位元線接觸窗之介電質具高蝕刻選擇比的複晶矽作為閘極之間隙壁之程製。蝕刻複晶矽間隙壁132可以使用溼蝕刻的方式，例如利用BOE溶液或是KOH溶液來去除未被阻劑層140覆蓋之複晶矽間隙壁132。

請參考第2F圖，在基底100表面、閘極之側壁及摻雜區110順應性沉積一襯層150。形成該襯層的方法，可以例如使用化學氣相沉積法，其材質可選用SiON、SiN或氧化矽，厚度範圍可為20~200 Å。然後，請參考第2G圖，以例如化學氣相沉積法，在襯層260上沉積一介電層160。在形成介電層160後，可以使用化學機械研磨或回蝕刻法對介電層160平坦化，並去除不必要的介電層。上述介電層可擇自由硼磷矽玻璃 (boro-phosphosilicate glass ; BPSG)、高密度電漿化學氣相沉積法(HDP-CVD)形成之氧化物、含氧矽化物及其組合材料所組成之族群。

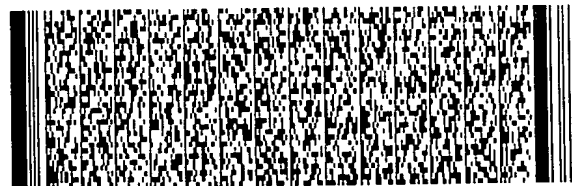
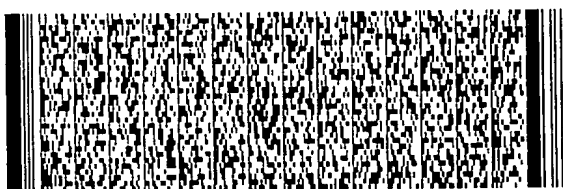
請參考第2H圖，形成一圖案化阻劑層於介電層160上作為蝕刻罩幕，以複晶矽間隙壁132、閘極硬罩幕層124及基底100作為蝕刻停止層，進行一自行對準(SAC)位元線接觸窗蝕刻，去除閘極120b及120c間之欲形成位元線接觸窗部分之介電層160及襯層150，至此形成一元線接觸窗180。上述自行對準(SAC)位元線接觸窗蝕刻可為一非等向性蝕刻方式，例如可為磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻法(ECR)或傳統的活性離子式電漿蝕刻法(RIE)。



五、發明說明 (10)

綜上如述，與習知自行對準(SAC)位元線接觸窗蝕刻技術比較，本發明的優點係提供一種形成位元線接觸窗之方法，係以一阻障間隙壁作為自行對準(SAC)位元線接觸窗蝕刻之保護層，由於作為阻障間隙壁的材質例如複晶矽，對像是BPSG或是氧化矽等介電質及作為襯層之氧化矽之蝕刻選擇比高達50以上，如此高的蝕刻選擇比使得當蝕刻介電層時，阻障間隙壁不易被蝕除，可避免介層窗180的寬度擴大外，亦可免除部份的硬罩幕層124與間隙壁125遭到蝕除而使金屬矽化物層123暴露出來。如此一來，請參考第21圖，後續作為位元線之導電層170填入位元線接觸窗時，不會有習知SAC製程所造成之位元線接觸開路或是字元線-位元線短路的缺陷之現象發生，而提升半導體製程良率並降低半導體製程成本，係達成上述本發明之主要目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1F圖為一系列之剖面圖，係顯示一習知的位元線接觸窗的製程方法如何導致上述的位元線接觸開路或是字元線-位元線短路的缺陷。

第2A~2I圖為一系列之剖面圖，係顯示本發明較佳實施例中形成位元線接觸窗方法的詳細步驟。

符號說明

- 10、100~基底；
- 12~汲極區；
- 14~源極區；
- 20、120a、120b、120c、120d~閘極；
- 21、121~閘極介電層；
- 22、122~複晶矽層；
- 23、123~金屬矽化物層；
- 24、124~硬罩幕層；
- 25、125~閘極間隙壁；
- 30~介電層；
- 31、31a~介層窗；
- 40~阻障層；
- 50、170~導電層；
- 60、140~阻劑層；
- 60a~圖形化阻劑層開口；
- 110~摻雜區；
- 130~多晶矽層；



圖式簡單說明

132~多晶矽間隙壁；

150~襯層；

160~介電層；以及

180~位元線接觸窗。



六、申請專利範圍

1. 一種形成位元線接觸窗之方法，至少包括下列步驟：

提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；

形成一複晶矽間隙壁於閘極之側壁上；

以一罩幕層覆蓋欲保留之複晶矽間隙壁，並去除未被罩幕層覆蓋之複晶矽間隙壁；

去除該罩幕層，形成一介電層於該閘極、複晶矽間隙壁及摻雜區表面；以及

以該複晶矽間隙壁及該基板做為蝕刻終止層，蝕刻部份該介電層以形成一位元線接觸窗。

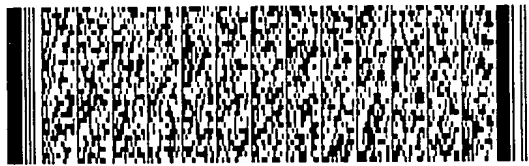
2. 如申請專利範圍第1項所述之形成位元線接觸窗之方法，其中形成一複晶矽間隙壁於閘極之側壁上之方法係包括：

形成一順應性複晶矽層於該閘極及摻雜區表面；以及

蝕刻該複晶矽層，俾使該複晶矽層於該閘極側壁形成一複晶矽間隙壁。

3. 如申請專利範圍第2項所述之形成位元線接觸窗之方法，其中該複晶矽層係利用低壓氣相化學沉積法(LPCVD)形成。

4. 如申請專利範圍第2項所述之形成位元線接觸窗之方法，其中蝕刻該複晶矽層之方法係包括磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻法(ECR)或傳統的活性離子式電漿蝕刻法(RIE)。



六、申請專利範圍

5. 如申請專利範圍第1項所述之形成位元線接觸窗之方法，其中該介電層係擇自由硼磷矽玻璃(boro-phosphosilicate glass ; BPSG)、高密度電漿化學氣相沉積法(HDP-CVD)形成之氧化物、含氧矽化物及其組合材料所組成之族群。

6. 如申請專利範圍第1項所述之形成位元線接觸窗之方法，其中形成該介電層之方法係包括低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)。

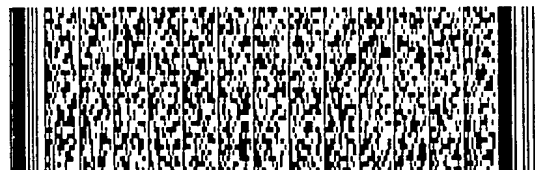
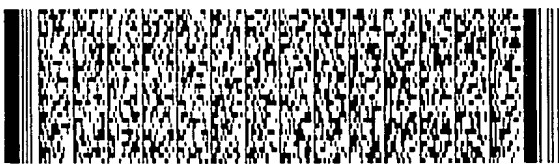
7. 如申請專利範圍第1項所述之形成位元線接觸窗之方法，其中該閘極包含一覆蓋層以作為該閘極之頂部及一氮化矽間隙壁以作為該閘極之側壁。

8. 如申請專利範圍第7項所述之形成位元線接觸窗之方法，其中蝕刻未被該罩幕層包覆之複晶矽間隙壁，該複晶矽間隙壁與該閘極之覆蓋層之蝕刻選擇比係大於50:1。

9. 如申請專利範圍第1項所述之形成位元線接觸窗之方法，其中在形成該介電層之前，更包括於該閘極、複晶矽間隙壁及摻雜區表面形成一襯層。

10. 如申請專利範圍第9項所述之形成位元線接觸窗之方法，其中該襯層係為氮化矽。

11. 如申請專利範圍第9項所述之形成位元線接觸窗之方法，其中蝕刻該介電層及襯層之方法係包括磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻



六、申請專利範圍

法(ECR)或傳統的活性離子式電漿蝕刻法(RIE)。

12. 一種形成位元線接觸窗之方法，至少包括下列步驟：

提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；

形成一順應性複晶矽層於該閘極及摻雜區表面；

蝕刻該複晶矽層，俾使該複晶矽層於該閘極側壁形成一複晶矽間隙壁；

形成一罩幕層於閘極間欲形成位元線接觸窗之摻雜區及該摻雜區相鄰之閘極部分表面上，以蝕刻方式去除未被該罩幕層包覆之複晶矽間隙壁；

去除該罩幕層，並形成一襯層於該閘極、複晶矽間隙壁及摻雜區表面；

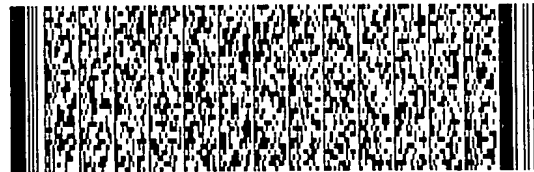
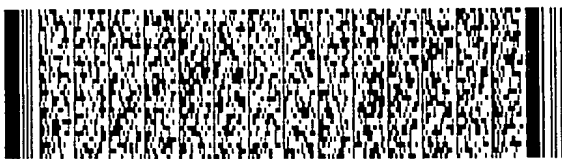
形成一介電層於該襯層之上；

以該複晶矽間隙壁及該摻雜區做為蝕刻終止層，蝕刻部份該介電層及該襯層以形成一位元線接觸窗；以及

於該位元線接觸窗內填滿一導電層，以用作為一位元線接觸插塞。

13. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中該複晶矽層係利用低壓氣相化學沉積法(LPCVD)形成。

14. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中蝕刻該複晶矽層之方法係包括磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻法



六、申請專利範圍

(ECR)或傳統的活性離子式電漿蝕刻法(RIE)。

15. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中該介電層係擇自由硼磷矽玻璃(boro-phosphosilicate glass; BPSG)、高密度電漿化學氣相沉積法(HDP-CVD)形成之氧化物、含氧矽化物及其組合材料所組成之族群。

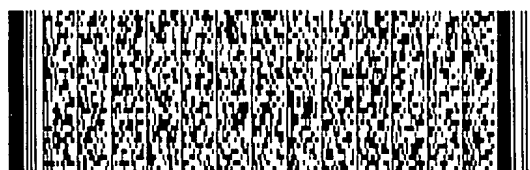
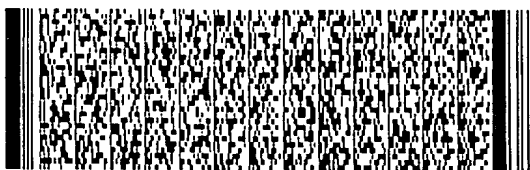
16. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中形成該介電層之方法係包括低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)。

17. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中該閘極包含一覆蓋層以作為該閘極之頂部及一氮化矽間隙壁以作為該閘極之側壁。

18. 如申請專利範圍第17項所述之形成位元線接觸窗之方法，其中蝕刻未被該罩幕層包覆之複晶矽間隙壁，該複晶矽間隙壁與該閘極之覆蓋層之蝕刻選擇比係大於50:1。

19. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中該襯層係為氮化矽。

20. 如申請專利範圍第12項所述之形成位元線接觸窗之方法，其中蝕刻該介電層及襯層之方法係包括磁場增強式活性離子式電漿蝕刻法(MERIE)、電子迴旋共振電漿蝕刻法(ECR)或傳統的活性離子式電漿蝕刻法(RIE)。



六、申請專利範圍

21. 一種形成位元線接觸窗之方法，至少包括下列步驟：

提供一基底，該基底具有複數之電晶體，而該電晶體包含一閘極及構成汲極與源極之摻雜區；

形成一對阻障間隙壁於兩相鄰閘極之相對側壁上；

形成一介電層於該閘極、阻障間隙壁及摻雜區表面；

以及

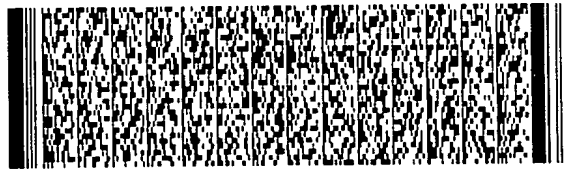
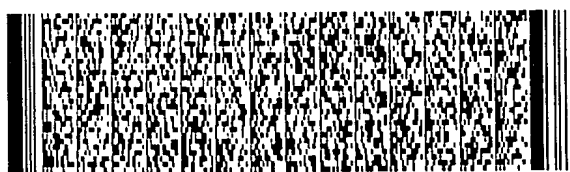
以該阻障間隙壁及該基板做為蝕刻終止層，蝕刻部份該介電層以形成一位元線接觸窗。

22. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中該阻障間隙壁係擇自由具有阻障(barrier)性質之材質、導電性材質、半導體材質及其組成所構成之族群中。

23. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中蝕刻部份該介電層時，該阻障間隙壁與該介電層之蝕刻選擇比係大於50:1。

24. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中該介電層係擇自由硼磷矽玻璃(boro-phosphosilicate glass; BPSG)、高密度電漿化學氣相沉積法(HDP-CVD)形成之氧化物、含氧矽化物及其組合材料所組成之族群。

25. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中形成該介電層之方法係包括低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密



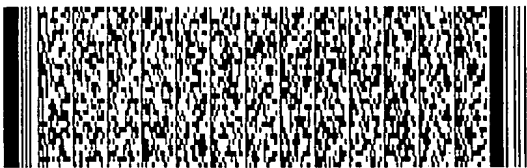
六、申請專利範圍

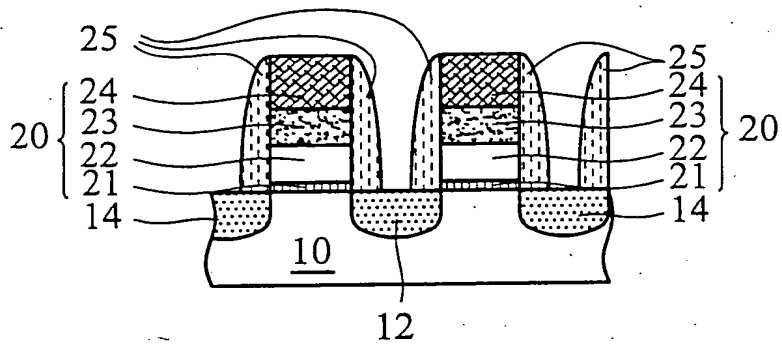
度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)。

26. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中該閘極包含一覆蓋層以作為該閘極之頂部及一氮化矽間隙壁以作為該閘極之側壁。

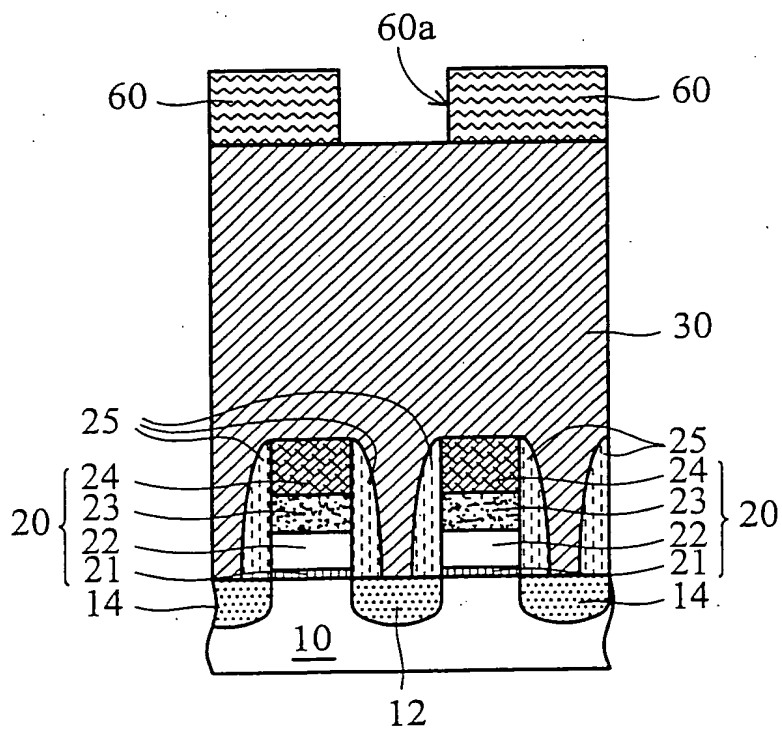
27. 如申請專利範圍第21項所述之形成位元線接觸窗之方法，其中在形成該介電層之前，更包括於該閘極、阻障間隙壁及摻雜區表面形成一襯層。

28. 如申請專利範圍第27項所述之形成位元線接觸窗之方法，其中該襯層係為氮化矽。

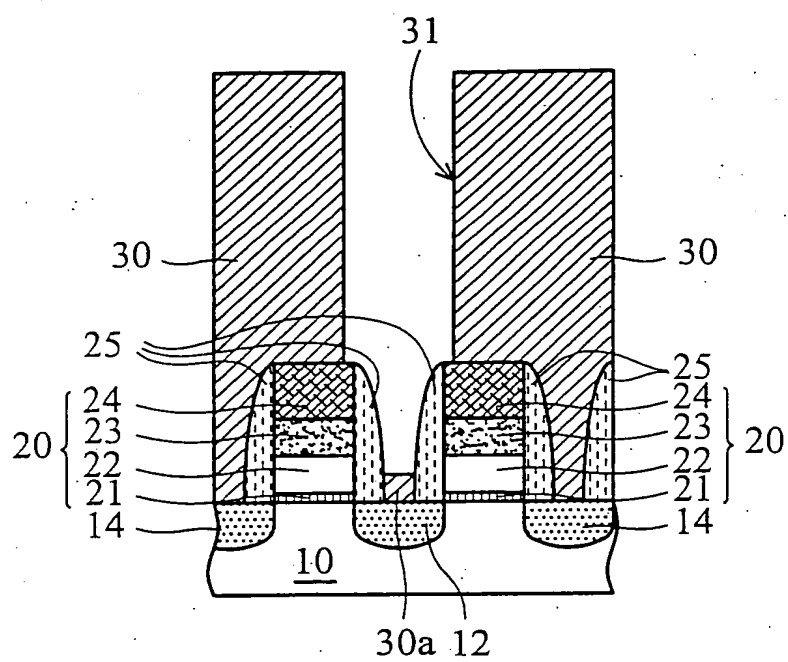




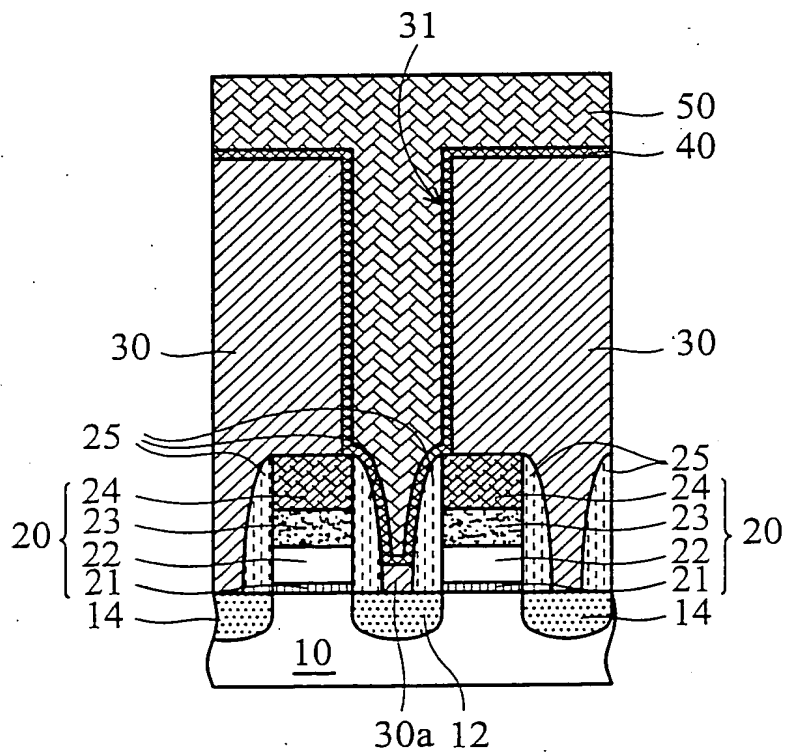
第 1A 圖



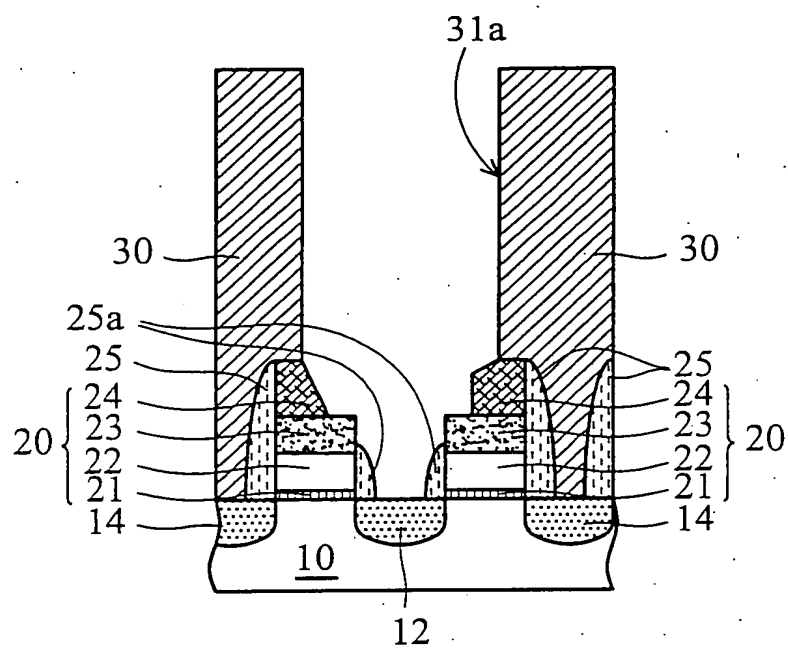
第 1B 圖



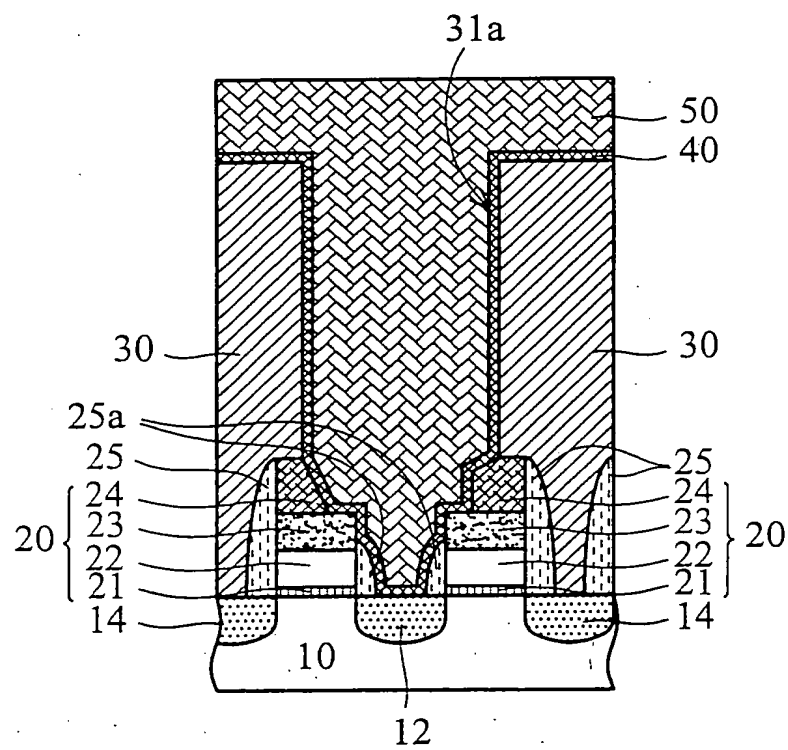
第 1C 圖



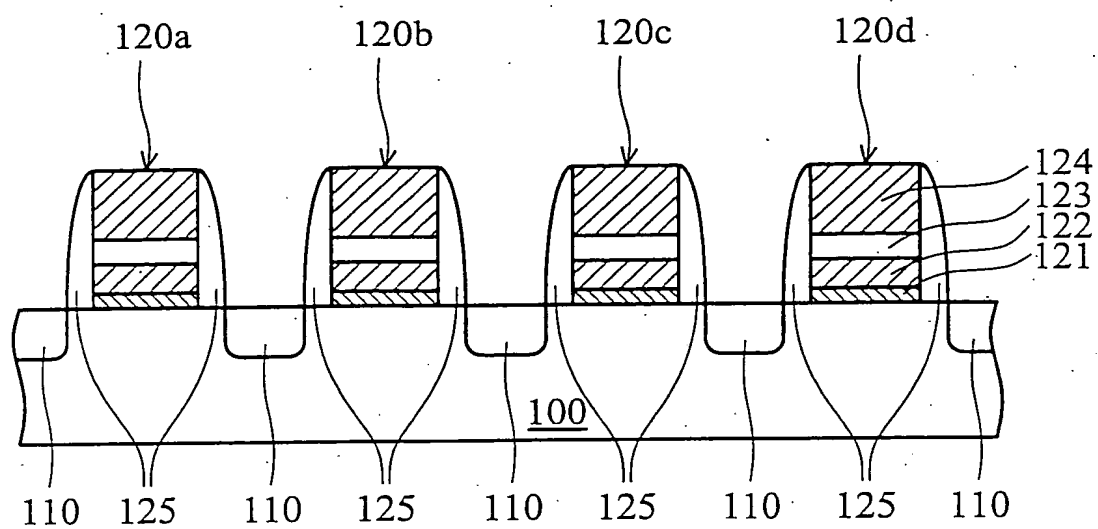
第 1D 圖



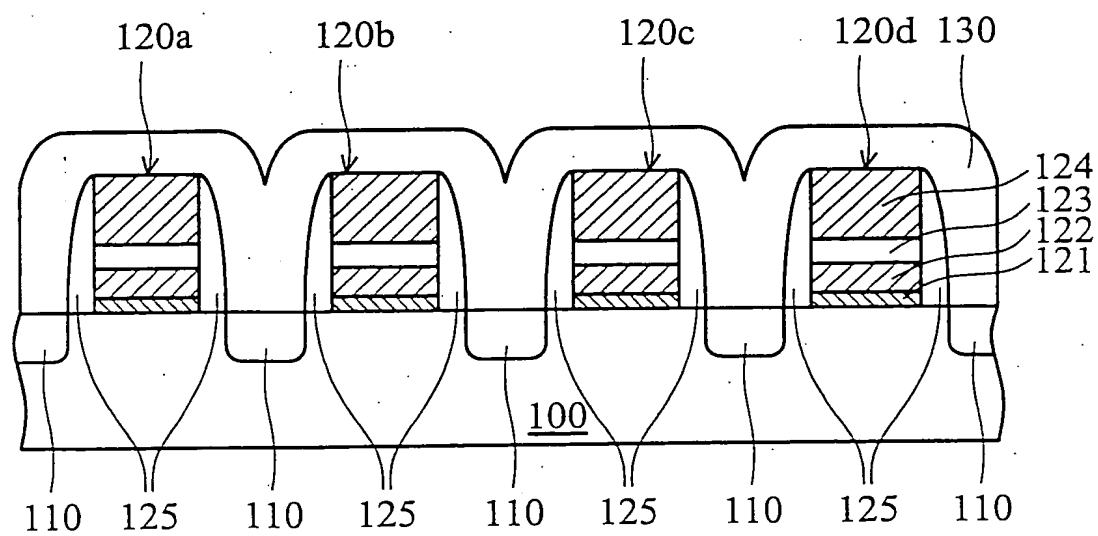
第 1E 圖



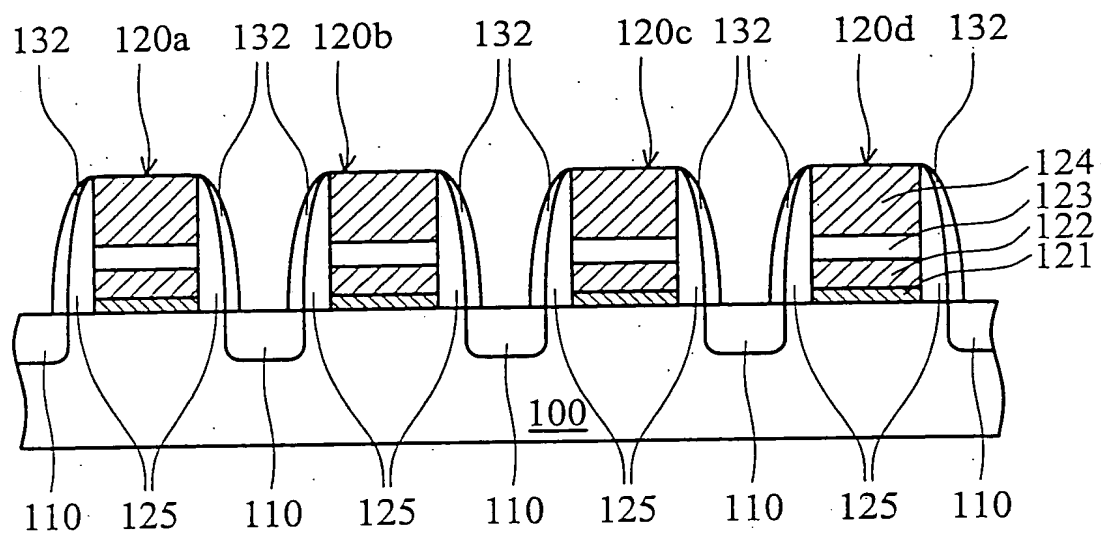
第 1F 圖



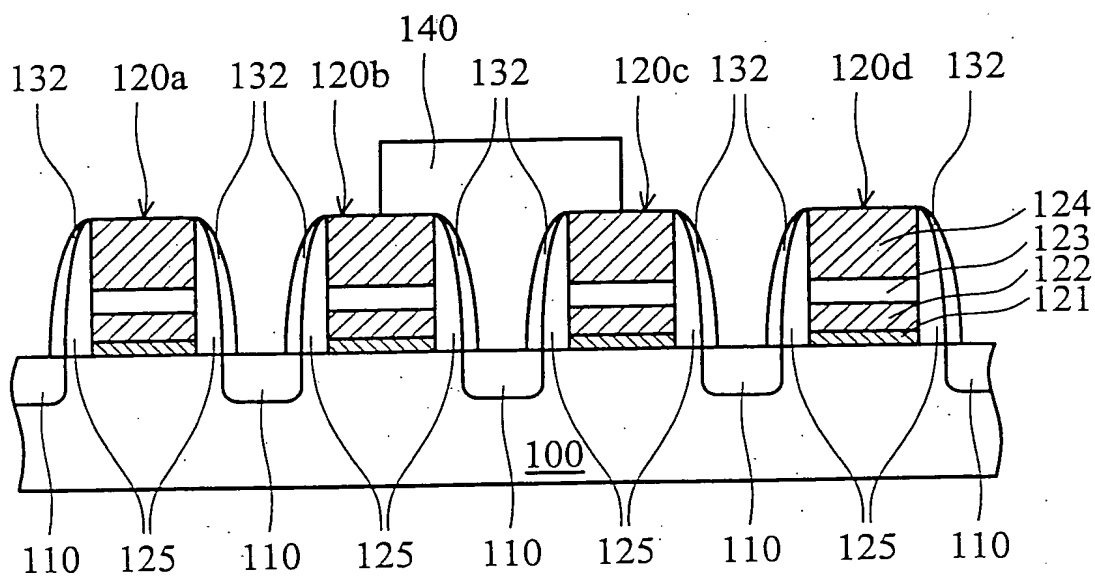
第 2A 圖



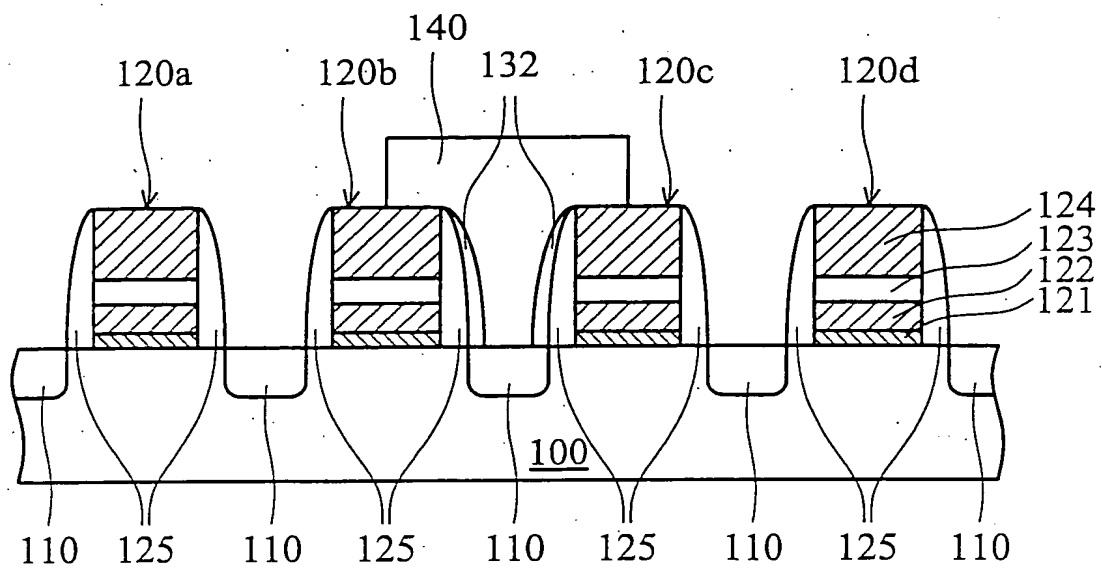
第 2B 圖



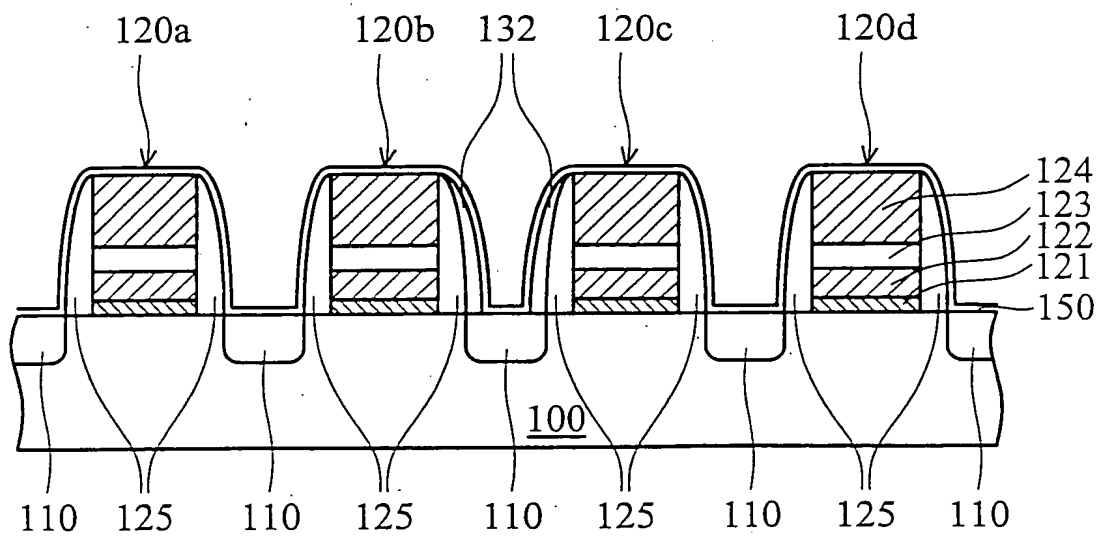
第2C圖



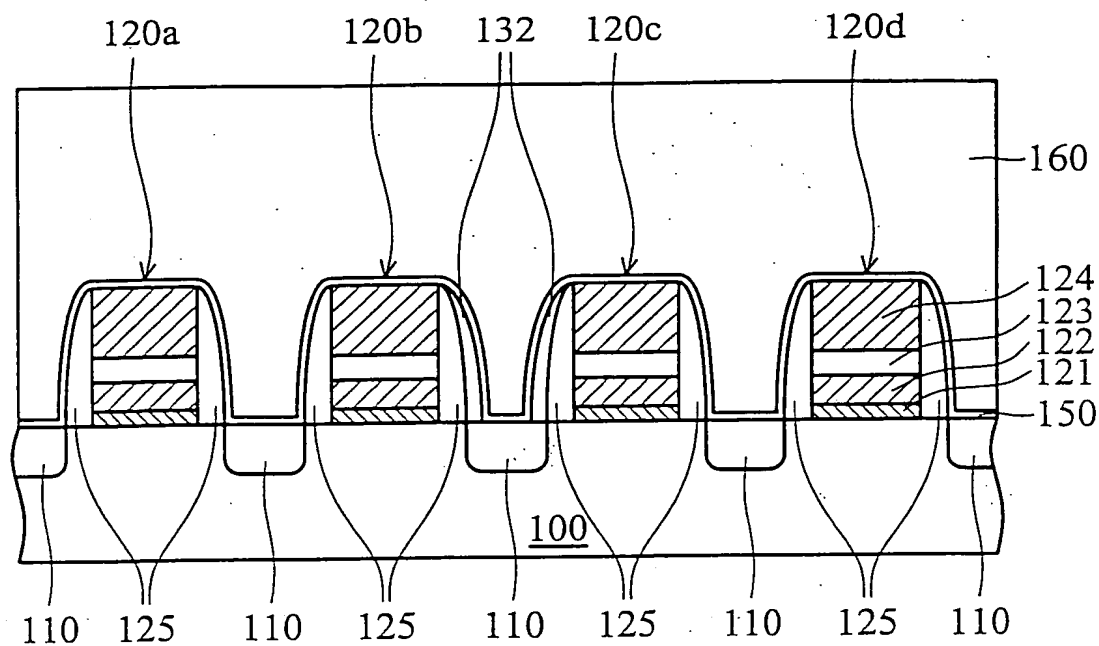
第2D圖



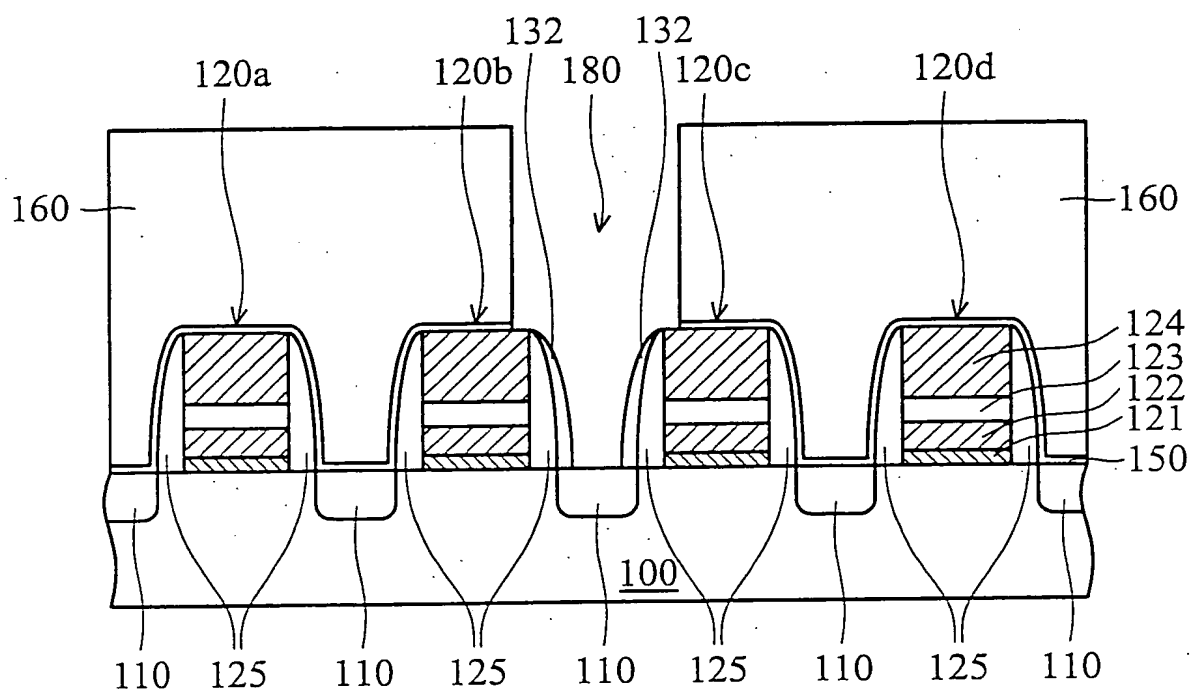
第 2E 圖



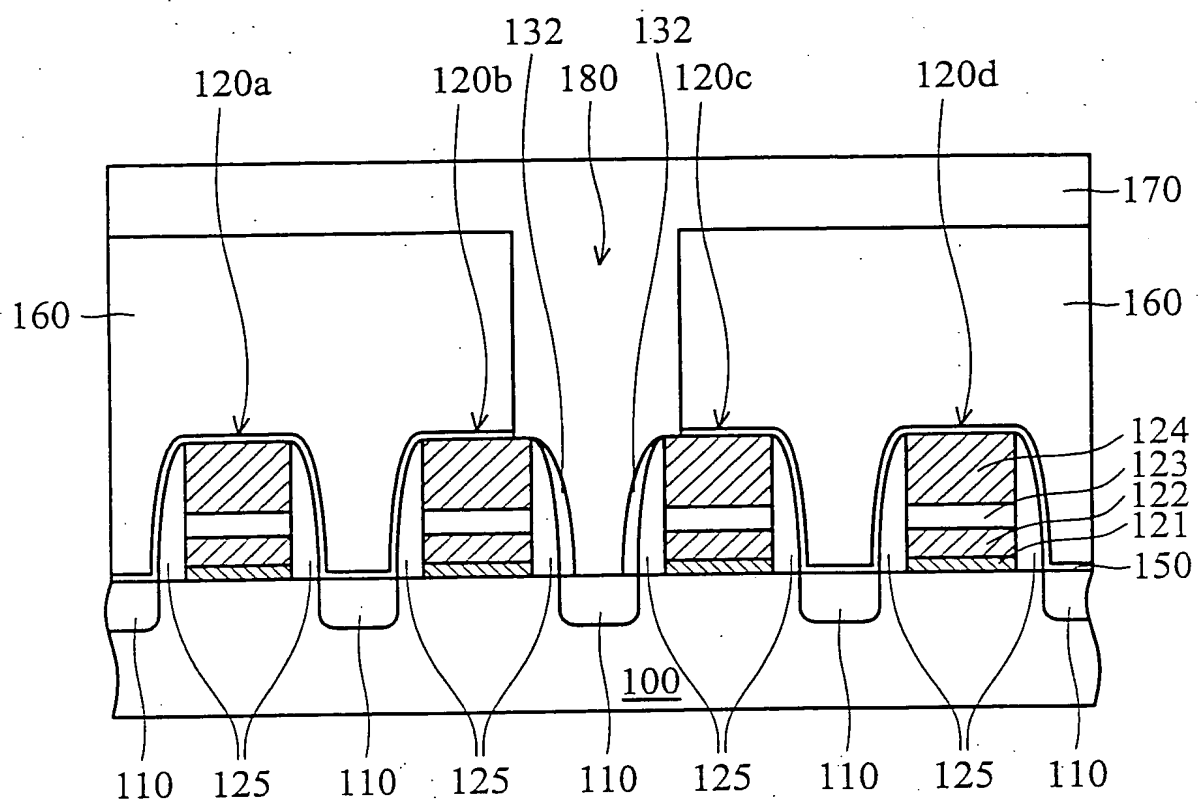
第 2F 圖



第2G圖

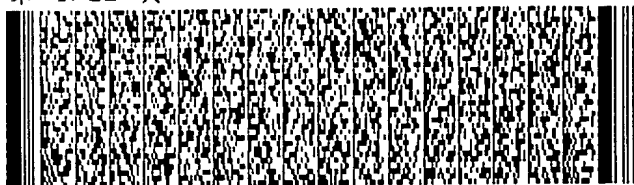


第2H圖



第21圖

第 1/22 頁



第 2/22 頁



第 2/22 頁



第 3/22 頁



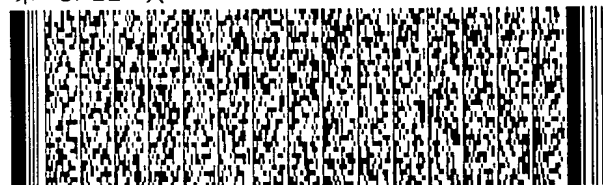
第 4/22 頁



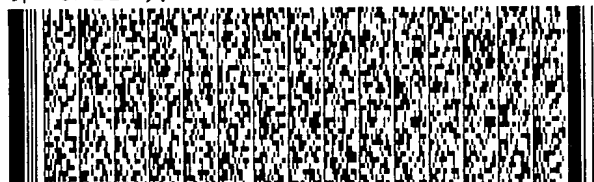
第 5/22 頁



第 5/22 頁



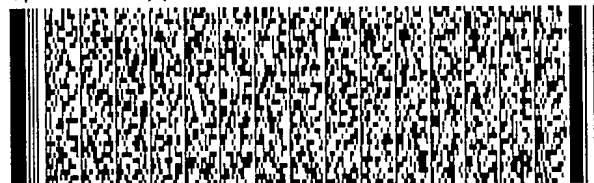
第 6/22 頁



第 6/22 頁



第 7/22 頁



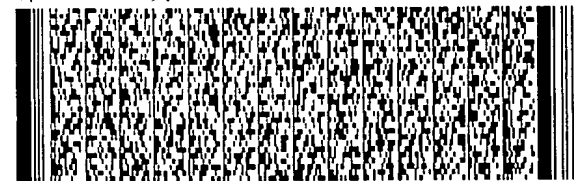
第 7/22 頁



第 8/22 頁



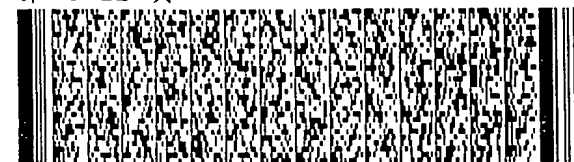
第 8/22 頁



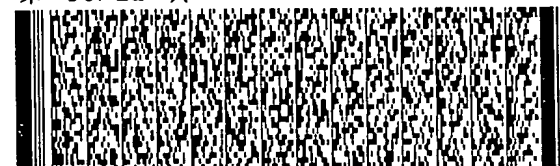
第 9/22 頁



第 9/22 頁



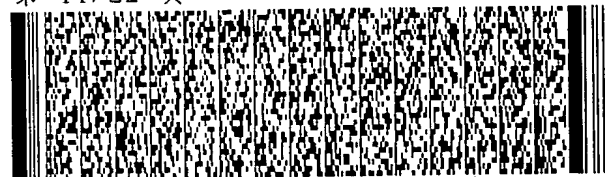
第 10/22 頁



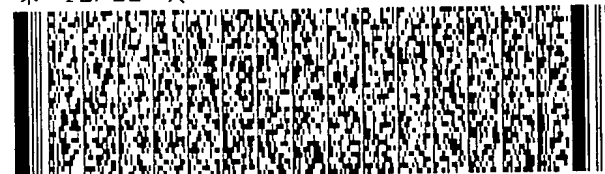
第 10/22 頁



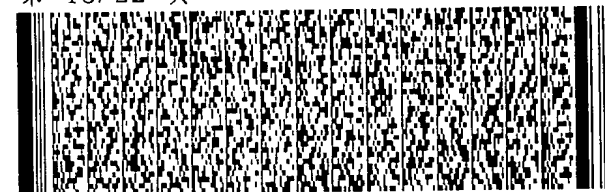
第 11/22 頁



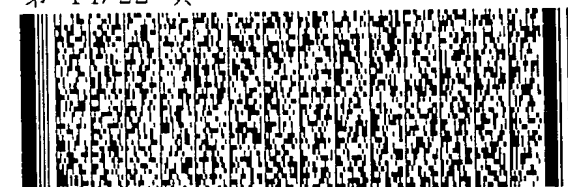
第 12/22 頁



第 13/22 頁



第 14/22 頁



第 16/22 頁



第 17/22 页



第 18/22



第 11/22 頁



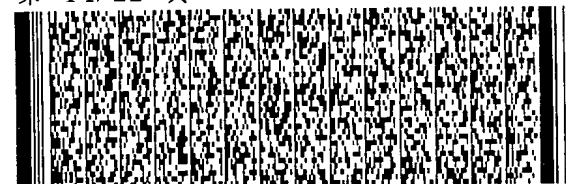
第 12/22 頁



第 13/22 頁



第 14/22 頁



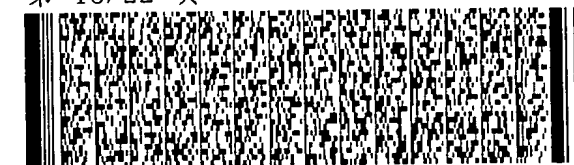
第 15/22 頁



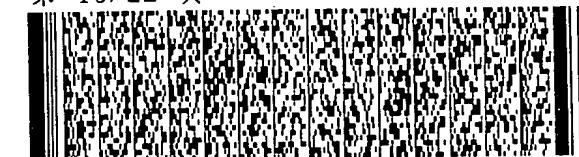
第 17/22 頁



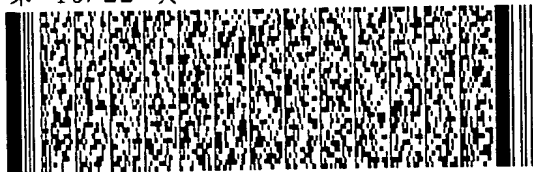
第 18/22 页



第 19/22



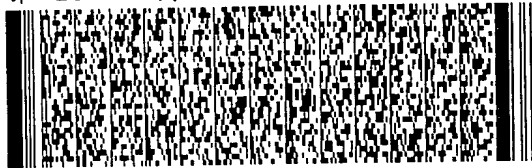
第 19/22 頁



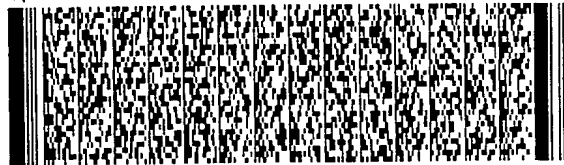
第 20/22 頁



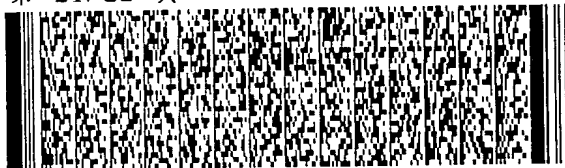
第 20/22 頁



第 21/22 頁



第 21/22 頁



第 22/22 頁

